

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-139066

⑬ Int. Cl.<sup>4</sup>

H 01 L 29/78  
21/318

識別記号

庁内整理番号

8422-5F  
6708-5F

⑭ 公開 昭和61年(1986)6月26日

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭59-261074

⑰ 出 願 昭59(1984)12月11日

⑱ 発 明 者	金 箱	和 範	川崎市幸区小向東芝町1番地	株式会社東芝多摩川工場内
⑲ 発 明 者	小 野	道 博	川崎市幸区小向東芝町1番地	株式会社東芝多摩川工場内
⑳ 発 明 者	川 淵	勝 弘	川崎市幸区小向東芝町1番地	株式会社東芝多摩川工場内
㉑ 出 願 人	株 式 会 社 東 芝		川崎市幸区堀川町72番地	
㉒ 代 理 人	弁 理 士 鈴 江 武 彦		外 2 名	

明 和 通

# 1. 発明の名称

半導体装置の製造方法

# 2. 特許請求の範囲

絶縁ゲート型電界効果半導体装置のを製造する際、金属電極配線層を形成した後、パッシベーション膜の形成に先立って水素を含まない雰囲気下で熱アニールを行ない、且つスパッタ法によるシリコン窒化膜でパッシベーション膜を形成することを特徴とする半導体装置の製造方法。

# 3. 発明の詳細な説明

(発明の技術分野)

本発明は半導体装置の製造方法に関し、特に、絶縁ゲート型電界効果半導体装置のパッシベーション膜を形成する方法の改良に係る。

(発明の技術的背景)

絶縁ゲート型電界効果半導体装置の一例として、シリコンゲートによるMOS型半導体装置の一般的な基本構造を第2図に示す。同図において、1はP型シリコン基板である。該シリコン基板1の

表面には相互に分離されたN<sup>+</sup>型のソース領域2およびドレイン領域3が形成され、そのチャンネル領域上にはゲート酸化膜4を介して多結晶シリコン層からなるゲート電極5が形成されている。ゲート電極上には層間絶縁膜としてCVD-SiO<sub>2</sub>膜6が形成され、該CVD-SiO<sub>2</sub>膜6上にはコンタクトホールを介して夫々ソース及びドレイン領域にオーミックコンタクトしたドース電極7およびドレイン電極8、その他の金属配線が形成されている。

ところで、実例のMOS型半導体装置ではその表面を保護して信頼性を維持するため、第2図に示すように、第1図の基本的な構造に加え、その上から最終保護膜(一般にパッシベーション膜と呼ばれる)9を形成する。このパッシベーション膜9としては、PSG膜(珪を添加したSiO<sub>2</sub>膜)が従来一般に用いられている。然し乍ら、PSG膜によるパッシベーション膜は耐湿性に問題があり、且つ侵入した水によってPSG中に含まれる珪が珪酸に転化されるため、ソース電極およ

びドレイン電極7, 8等の金属配線(通常はAlが用いられる)が腐蝕して不良を生じ易いといった問題が発生していた。特に、水を通し易い樹脂封止パッケージの場合にはこの問題が顕著に現れ、装置の信頼性が著しく低下することになる。

そこで、近年では上記PSG膜に代えて、耐湿性の良好な窒化シリコン膜(以下SiN膜という)をパッシベーション膜に使用する試みが種々なされ、プラズマSiN膜を用いた例(下記文献1および文献2)、スパッタSiNを用いた例(下記文献3)が夫々報告されている。

## 記

## 文献1

Fair & Sun著の「Threshold-Voltage Instability in MOSFET's due to Channel Hot Hole Emission」; I E E D-28 pp83~94 (1981)

## 文献2

Sun他著: Proc 18th Int. Rel. Phys. Symp. pp244~251 (1980)

エネルギーを持ったキャリアと反応する結果、シリコン基板(Si)とゲート酸化膜(SiO<sub>2</sub>)界面における所謂ダングリングボンドを生成して界面準位が増加するというモデルを提出し、界面準位の増加を実際に確認している。また、ゲート酸化膜界面に電子がトラップされて閾値電圧が変動することを確認し、この電子のトラップは前記界面準位の増加によりもたらされるものと推論している。そして、プラズマSiN膜をパッシベーション膜とした場合にこれらの特性変動が激しいのは、SiH<sub>4</sub>及びNH<sub>4</sub>の熱分解反応でプラズマSiN膜を形成するため、工程雰囲気中やパッシベーション膜中に存在する水素が多いためと考えられている。

これに対し、スパッタSiN膜をパッシベーション膜に用いる場合にはSiN膜形成の工程雰囲気中に水素は存在しないから、特性変動の増大を回避できることが期待される。ところが前記の文献3には、プラズマSiN膜を用いた場合に較べれば確かに特性変動は小さいが、PSG膜の場合

## 文献3

Mayer & Fare 著: I E E D-30, pp96~103 (1983)

## (背景技術の問題点)

上記文献1~3には、SiN膜をMOS型半導体装置のパッシベーション膜に用いることで何れの場合にも期待通りの耐湿性を得られることが報告されている反面、夫々次のような別の問題を派生することが報告されている。

まず、プラズマSiN膜でパッシベーション膜を形成した場合には、MOS型半導体装置のコンダクタンス低下、閾値電圧の変動が、PSG膜を用いた場合よりも大きいことが前記文献1および文献2に記載されている。著者等はその原因についても言及し、次のように述べている。

即ち、上記のようにトランジスタのコンダクタンスが動作中に低下する機構については、製造中の雰囲気やパッシベーション膜中に含まれる水素がMOSトランジスタのゲート酸化膜中に侵入し、この水素がトランジスタの動作領域で発生する高

に比較すると依然として特性変動が激しいという事実が報告され、その原因として著者等は次のように述べている。

即ち、PSG膜は水素を通し易いから、半導体装置中に取り込まれていた水素が系外に抜出せるのに対し、スパッタSiN膜は水素を通し難いため、パッシベーション膜の形成工程以前に半導体装置中に取込まれた水素が閉込められたまま外に抜出せない。従って、SiN膜形成時のスパッタ工程時に水素の侵入が生じなくても、水素による影響はPSG膜の場合より大きくなる。

## (発明の目的)

本発明は上記事情に鑑みてなされたもので、スパッタSiN膜でパッシベーション膜を形成することにより良好な耐湿性を得ると共に、動作中のホットキャリアによる特性変動をも抑制して安定した高い信頼性を得ることができる半導体装置の製造方法を提供するものである。

## (発明の概要)

本発明による半導体装置の製造方法は、絶縁ゲ

ート型電界効果半導体装置の製造する際、金属電極配線層を形成した後、パッシベーション膜の形成に先立って水素を含まない雰囲気下で熱アニールを行ない、且つスパッタ法によるシリコン窒化膜でパッシベーション膜を形成することを特徴とするものである。

上記本発明の製造方法によれば、パッシベーション膜形成に先立って行なう熱アニールにより、それまでの工程で半導体装置の層間絶縁膜中等に取込まれていた水素は外部に放出される。従って、その後にパッシベーション膜としてスパッタSiN膜を形成した場合、半導体装置中に残存する水素濃度は既に極く低くなっているから、動作中に発生したホットキャリアと水素の相互作用によるコンダクタンスの劣化および閾値電圧の変動を抑制することができる。しかも、SiN膜はその後に外部から侵入する水素に対してPSG膜よりも大きな抵抗性を示すから、一旦上記のような状態でパッシベーション膜が形成された後はPSG膜の場合よりも有利である。

この式に基いて計算すれば、第1図の状態において半導体装置中に取込まれている水素は、上記の熱アニールにより膜厚1μのCVD-SiO<sub>2</sub>膜6中を拡散して外部に放出されることが示される。

(3) 次に、スパッタ法により全面に膜厚5000ÅのSiN膜6を堆積してパッシベーション膜を形成し、第2図に示す構造のMOS型半導体装置を得る。

上記実施例により製造されたMOS型半導体装置は、第1図の状態での熱アニールを行なって水素を追い出した後にスパッタSiN膜6を形成しているから、装置中に残留している水素濃度は極めて低い。従って、コンダクタンスの劣化や閾値電圧の変動が抑制され、安定した特性が得られる。また、SiN膜をパッシベーション膜としていることから良好な耐湿性が得られ、高い信頼性が得られることはいうまでもない。

なお、上記実施例の変形例として、第1図の状態でのCVD-SiO<sub>2</sub>膜6の上に低温でプラズマCVD-SiO<sub>2</sub>膜を形成し、その後熱アニール

(発明の実施例)

以下に本発明の一実施例を説明する。

(1) まず、シリコンゲートMOS型半導体装置の製造プロセスにおける定法に従って第1図の状態を得る。即ち、P型シリコン基板1の正面にゲート酸化膜4を介して多結晶シリコン層からなるゲート電極5をパターンニングした後、該ゲート電極をブロックマスクとして燐をイオン注入することによりN<sup>+</sup>型のソース領域およびドレイン領域2, 3を自己整合で形成する。次いで、層間絶縁膜としてCVD法により膜厚1μのSiO<sub>2</sub>膜6を形成した後、コンタクトホールの開孔、アルミニウム膜の蒸着およびパターンニングを行なって電極7, 8その他の配線層を形成する。

(2) 次に、窒素雰囲気下において450℃で15分間の熱アニールを施す。450℃におけるSiO<sub>2</sub>中の水素の拡散係数Dは、Pergason, Press社発行の「シリコンセミコンダクタデータ」中に掲載されているように次の値を取る。

$$\sqrt{D} = 300 \mu / \text{hr}^{1/2}$$

ル、スパッタSiN膜9を形成してもよい。このようにプラズマCVD-SiO<sub>2</sub>膜を介在させることにより、パッシベーション膜全体の強度を維持しつつ膜質の硬いSiN膜9を開くしてクラックの発生を防止することができる。また、低温で形成されたプラズマSiO<sub>2</sub>膜が水素を吸収することが知られており(例えば既述の文献3に記載されている)、該プラズマSiO<sub>2</sub>膜に水素を吸収させてゲート酸化膜中に侵入する水素を減す上でも有効である。

また、上記実施例における熱アニールは、窒素雰囲気以外に他の不活性ガス雰囲気(例えばアルゴン等の希ガス雰囲気)で行なってもよく、真空中で行なうことも可能である。

(発明の効果)

以上詳述したように、本発明によればスパッタSiN膜でパッシベーション膜を形成することにより良好な耐湿性を得ると共に、動作中のホットキャリアによる特性変動をも抑制して安定した高い信頼性を得ることができる絶縁ゲート型電界効

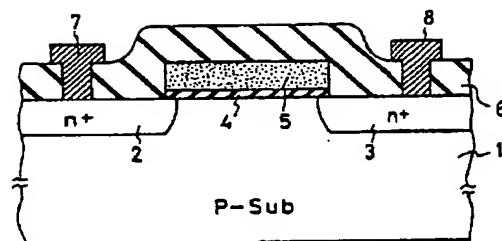
第 1 図

果半導体装置を製造できる等、顕著な効果を得られるものである。

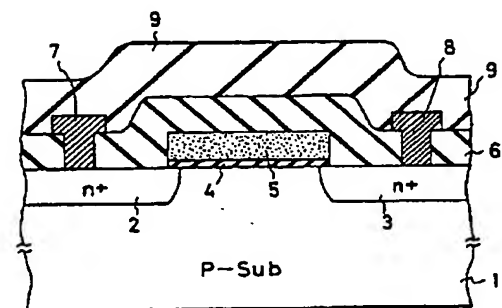
#### 4. 図面の簡単な説明

第1図はMOS型半導体装置の製造工程におけるパッシベーション膜形成前の状態を示す断面図、第2図はパッシベーション膜を形成した状態のMOS型半導体装置を示す断面図である。

1…P型シリコン基板、2…N<sup>+</sup>型ソース領域、3…N<sup>+</sup>型ドレイン領域、4…ゲート酸化膜、5…ゲート電極、6…CVD-SiO<sub>2</sub>膜、7…ソース電極、8…ドレイン領域、9…パッシベーション膜。



第 2 図



出願人代理人 弁理士 鈴江武彦